

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-305643

(43)Date of publication of application : 02.11.2000

(51)Int.Cl.

G05F 3/24
H03K 19/00
H03K 19/0952

(21)Application number : 2000-071553

(71)Applicant : MOTOROLA INC

(22)Date of filing : 15.03.2000

(72)Inventor : JUREK KEVIN J
MATHES WILLIAM O
PATEL LALIT O

(30)Priority

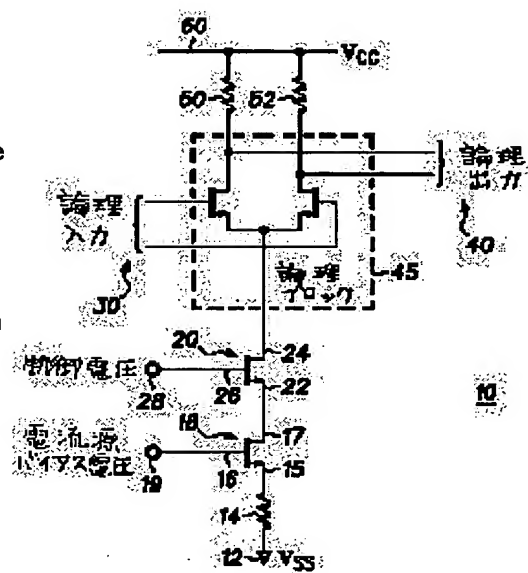
Priority number : 99 273999 Priority date : 22.03.1999 Priority country : US

(54) CURRENT SOURCE AND METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain the device and method for efficiently and rapidly controlling current flow in a current source.

SOLUTION: The method and device for controlling current flow in a current source has a drive circuit including a current source FET 18, a control FET 20 and a complementary logic 310. To use the complementary logic for control makes it possible for a logic function to generally control current flow of respective current sources while maintaining almost fixed bias voltage on the current source FET. A bias generator for the whole chip can keep a current source almost constant while controlling the current source.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-305643
(P2000-305643A)

(43) 公開日 平成12年11月2日 (2000. 11. 2)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
G 0 5 F 3/24		G 0 5 F 3/24	A
H 0 3 K 19/00		H 0 3 K 19/00	A
19/0952		19/094	V

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願2000-71553(P2000-71553)
(22) 出願日 平成12年3月15日 (2000. 3. 15)
(31) 優先権主張番号 2 7 3 9 9 9
(32) 優先日 平成11年3月22日 (1999. 3. 22)
(33) 優先権主張国 米国 (U S)

(71) 出願人 390009597
モトローラ・インコーポレイテッド
MOTOROLA INCORPORATED
アメリカ合衆国イリノイ州シャンパーグ、
イースト・アルゴンクイン・ロード1303
(72) 発明者 ケビン・ジェイ・ジュレック
アメリカ合衆国アリゾナ州ギルバート、ウ
エスト・タラ・ドライブ1419
(74) 代理人 100091214
弁理士 大貫 進介 (外2名)

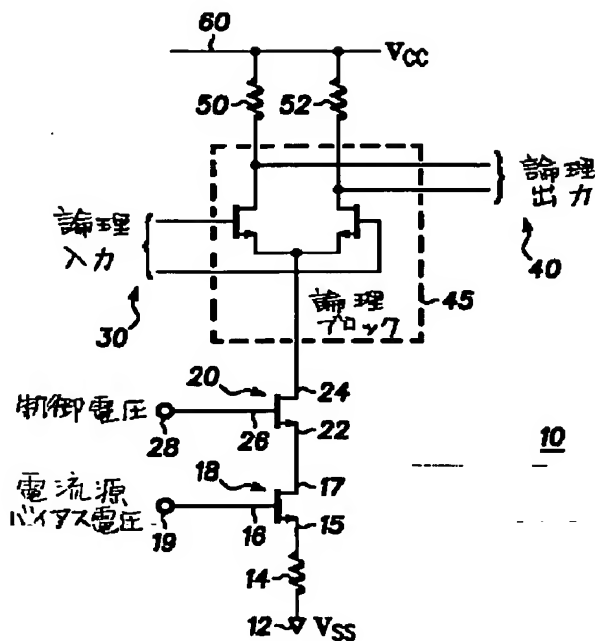
最終頁に続く

(54) 【発明の名称】 電流源およびその方法

(57) 【要約】

【課題】電流源およびそのための方法を提供する。

【解決手段】電流源における電流の流れを制御する方法および装置は、電流源FET (18)、制御FET (20) および相補型ロジック (310) を有する駆動回路を含む。制御のために相補型ロジックを使用することは、ほぼ一定のバイアス電圧を電流源FET上に維持する間、一般にロジック機能が個々の電流源の電流の流れを制御するのを可能とする。チップ全体へのバイアス発生器は、この電流源を制御する間、ほぼ一定を維持するのが可能である。



【特許請求の範囲】

【請求項 1】 ソース (15)、ゲート (16) およびドレイン (17) を有する電流源 FET (18) であって、前記電流源 FET は前記ドレインと前記ソースとの間に印加されるドレイン・ソース・バイアス電圧を有し、それにより前記電流源 FET の前記ドレイン・ソース・バイアス電圧が十分に高く前記電流源 FET を飽和領域で動作させる場合、前記電流源 FET は前記ドレインから前記ソースへほぼ一定の電流を流させる、電流源 FET と、前記電流源 FET (18) の前記ドレイン (17) に結合されたソース (22)、およびそれに印加された制御電圧 (28) を有するゲート (26) を有する制御 FET (20) であって、前記制御電圧が低下したとき、前記電流源 FET の前記ドレイン・ソース・バイアス電圧を低下させ、それにより前記電流源 FET 飽和領域で動作するのを停止させかつ前記電流源 FET の電流の流れを減少させる、制御 FET (20) と、前記制御電圧 (28) を発生させる駆動回路であって、前記制御 FET (20) の前記ゲート (26) と前記電流源 FET (18) の前記ソース (15) との間に結合されたスイッチを有する駆動回路と、前記制御 FET (20) の前記ゲート (26) と第 1 供給電圧と間に結合された抵抗 (250) であって、前記第 1 供給電圧は十分大きく、その結果前記制御 FET (20) の前記ゲート (26) に印加されたとき、前記電流源 FET (18) は飽和領域で動作する、抵抗 (250) とから構成されることを特徴とする電流源。

【請求項 2】 前記電流源 FET (18) は、 n チャンネル FET であることを特徴とする請求項 1 記載の電流源。

【請求項 3】 前記第 1 供給電圧は十分大きく、その結果前記制御 FET (20) の前記ゲート (26) に印加されたとき、前記電流源 FET (18) は飽和領域で動作することを特徴とする請求項 1 記載の電流源。

【請求項 4】 ソース (15)、ゲート (16) およびドレイン (17) を有する電流源 FET (18) であって、前記電流源 FET は前記ドレインと前記ソースとの間に印加されるドレイン・ソース・バイアス電圧を有し、それにより前記電流源 FET の前記ドレイン・ソース・バイアス電圧が十分に高く前記電流源 FET を飽和領域で動作させる場合、前記電流源 FET は前記ドレインから前記ソースへほぼ一定の電流を流す、電流源 FET と、前記電流源 FET (18) の前記ドレイン (17) に結合されたソース (22)、およびそれに印加された制御電圧 (28) を有するゲート (26) を有する制御 FET (20) であって、前記制御電圧が低下したとき、前記電流源 FET の前記ドレイン・ソース・バイアス電圧を低下させ、それにより前記電流源 FET 飽和領域で動作するのを停止させかつ前記電流源 FET の電流の流れを減少させる、制御 FET (20) と、前記制御電圧を発生するための駆動回路であって、前記

駆動回路は、

前記制御 FET (20) の前記ゲートと前記電流源 FET (18) との間に結合された第 1 スwitch、および前記制御 FET (20) の前記ゲートと第 1 供給電圧との間に結合された第 2 スwitch であって、前記第 1 供給電圧は十分大きく、その結果前記制御 FET の前記ゲートに印加されたとき、前記電流源 FET (18) は飽和領域で動作する、第 2 スwitch、を含む駆動回路と、から構成されることを特徴とする電流源。

【請求項 5】 前記第 1 供給電圧は十分大きく、その結果前記制御 FET (20) の前記ゲート (26) に印加されたとき、前記電流源 FET (18) は飽和領域で動作することを特徴とする請求項 4 記載の電流源。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、集積回路に関し、特に電流源に関する。

【0002】

【従来の技術】 電流源は電子装置に実質的に一定の電流を供給するために用いられる。例えば、ある高速論理ファミリは、論理的な状態変化を示すために 1 つの経路から別の経路へスウィッチされる電流を発生させるための電流源を使用する。これらのタイプの論理ファミリは、一般に電流操作ロジックと呼ばれる。

【0003】 電流操作ロジックの利点は、非常に速いスイッチング速度である。電流を流し始めて止めるより電流を 1 つの経路から別の経路へ切り換えるほうがより速くすることができる。電流操作ロジックの欠点は、高い電力消費である。電流は一定に流れるので、電力消費は停止しない。電力消費を可能な限り削減するために、電流源における電流の流れを効率よく制御することが望まれている。これは、単一の集積回路における全電流源の部分のみを制御する能力を含む。

【0004】

【発明が解決しようとする課題】 電流源を制御する先行する試みは、1992年8月25日に特許された米国特許番号 5,142,219 に述べられた Hsu 等による試みによって実証される。これらの先行する試みは、各電流源のための異なったバイアス発生器または別個に制御される電流源群を含む。異なるバイアス発生器を必要としないで、個々の電流源あるいは電流源群を制御することが望まれる。

【0005】 必要とされるものは、電流源における電流の流れを効率よくかつ素早く制御する装置および方法である。さらに必要とされるのは、複数のバイアス発生器を必要とせず、集積回路中の個々の電流源の制御を可能とする装置および方法である。

【0006】

【実施例】 本発明の方法および装置は、電流源として機能する n チャンネル FET 上のゲート・バイアス電圧を実質的に一定に維持しながら、電流源における電流の流

れをを制御することを提供する。本発明は、典型的な目的のためにnチャンネルFET装置を参照して詳細に説明される。当業者であれば、本発明の方法および装置をいかにpチャンネルFET、金属酸化膜半導体FET (MOSFET)、および他の電子変換装置へ応用するかは容易に理解するであろう。

【0007】本発明の方法および装置は、電流源が動作する電流源FET上およびロジック下の制御FETのために提供する。制御FETのゲート電圧を電流源FETのソース電圧の近傍に近づけることにより、電流源FETのドレインソース・バイアス電圧はほとんどなくなり、電流の流れを止める。制御FETに印加される制御電圧は同じ集積回路上のロジック装置から生成され、それによりバイアス発生器を修正することなく電流源を制御する簡素で効果的な方法を提供する。

【0008】さて図面を参照して、同じ参照文字は全図面を通して対応する要素を示すが、まず図1に着目する。図1は、本発明の好適な実施例に従う電流操作論理装置を示す。電流操作論理装置10は、論理ブロック45、負荷抵抗50、52、電流源FET18、および制御FET20を含む。電流操作論理装置10は、ソース結合のFET論理 (SCFL: source coupled FET logic) の中で実現される。SCFLは、電流をある経路から別の経路へ切り換える論理機能を実行する論理ファミリである。当業者であれば、本発明の方法および装置が電流モード論理 (CML: current mode logic) のようなSCFL以外の論理ファミリに応用できることを理解するであろう。

【0009】典型的な目的として、論理ブロック45がインバータあるいはバッファとして図1に示される。論理入力30の1つが高で他が低の場合、電流は負荷抵抗の1つで高くなるとともに他では低くなり、2つの論理出力40上の電圧は他より高い。論理ブロック45は典型的な目的のためにのみインバータあるいはバッファとして示される。当業者であれば、多くの別の論理ブロックが論理ブロック45に代用されることを理解するであろう。他の論理ブロック機能の例とし、NANDゲート、NORゲート、マルチプレクサ、および他のさらに複雑な機能を含む。負荷抵抗50、52はアクティブ装置としても実現できる負荷として機能する。集積回路に負荷としてアクティブ装置を使用することは、当技術分野で周知である。

【0010】論理ブロック45が動作している間、Vcc60からVss12へ流れる実質的に一定の電流を有することが望ましく、それにより論理状態を変化する際、容量による充電および放電を少なくできる。実質的に一定の電流である部分は1つの電流経路から他へ素早く切り換えられ、それにより非常に速いスイッチ速度を与える。実質的に一定の電流は電流源FET18によって供給される。電流源FET18はソース15、ドレイン17お

よびゲート16を含む。電流源バイアス電圧19はゲート16に印加され、その結果電流源FET18は、電流源FET18上のドレインソース・バイアス電圧が電流源FET18が飽和領域で動作するために十分高い限り、実質的に一定の電流を供給する。例えば、現代技術を用いて製造された従来装置では、バイアス電圧はソース15にほぼ0.8ボルトに設定され、ドレインソース電圧が約1ボルト以上である間、電流源FET18は実質的に一定の電流を供給する。もちろん、電流源FET18のソースに対するゲート電圧は0.8ボルト以外の電圧で実質的に一定に維持でき、それにより電流源FET18によって供給される電流総量は異なったものとなる。ソース15は不帰還抵抗14を介してVss12に結合される。不帰還抵抗 (degeneration resistor) 14は必ずしも必要ではなく、完全さのために図1に含められている。電流源に不帰還抵抗の使用および動作は当技術において周知である。Vss12は全回路に対し参照電圧として機能する。

【0011】制御FET20は電流源FET18の上にトータム・ポール状に積み重ねられる。制御FET20はドレイン24、ソース22およびゲート26を含む。ドレイン24は、論理ブロック45に結合され、ソース22は電流源FET18のドレイン17に結合され、ゲート26は制御電圧28がそれに印加される。ゲート26上の制御電圧28は電流源FET18によって供給される電流を調整するために用いられる。例えば、電流源FET18のドレイン対ソースバイアス電圧が約1ボルト以上に維持される前出の電流源の例では、制御電圧28がドレイン17上のソースに対するゲート電圧で維持される限り、電流源FET18中の電流の流れは調節されないであろう。しかしながら、制御電圧28がその点を下まわると、電流源FET18は調節され、そしてドレイン17からソース15に流れる電流は降下するであろう。制御電圧がさらに降下すると電流の流れはそれに従ってさらに降下し、もし制御電圧28がVss12に落ちると、電流源FET18のドレインソースバイアス電圧はゼロになり、電流の流れは実質的に停止するであろう。

【0012】制限のためではないが、説明の目的ために、典型的な電圧が次のとおりである。Vcc60は接地である。Vss12は-5Vである。バイアス電圧19は、ほぼ-4.0Vで実質的に一定を保つ。制御電圧28は、電流源が実質的に一定電流を供給する場合、約-3.5Vあるいはそれ以上を保つ。制御電圧28は、電流源FETが遮断している場合、Vss12あるいは約-5Vである。当業者は、これらの電圧が典型的であり、本発明を実施するに際し、修正できることを理解するであろう。

【0013】電流操作論理ファミリは、電流源のみならずその中に存在するロジックを備えるのに十分大きな正線 (Vcc) から負線 (Vss) への電圧で動作する。この例

10

20

30

40

50

では、 V_{cc} と V_{ss} との間の電圧差は5Vである。より低い電圧あるいはより高い電圧を用いることもでき、最小電圧が存在し、電圧源が動作を停止すると、その電圧源上のロジックも動作を止めるであろう。電流が切り換え状態の結果として停止する相補型ロジックのような飽和型論理ファミリと対照的である。飽和型論理ファミリは、一般に電流操作論理ファミリより低い供給電圧で電力が与えられる。

【0014】電流FET20は、電流源バイアス電圧19を変更しないで電流源FET18を介して電流の流れを制御する有効な手段を提供する。電流源バイアス電圧19は全集積回路に提供するバイアス発生器によって生成される一方、どの論理ブロックに対する電流源も制御電圧28を用いて制御される。次の図面を使用してさらに詳しく説明されるが、制御電圧は簡易に生成され、それによりバイアス発生器を変更することなく個々の論理ブロックでの電流源を制御する簡素でかつ効率的な機構を提供する。

【0015】図2は、本発明の第1実施例に従う電流源を示す。電流源200は、電流源FET18、制御FET20、バイアス発生器210、トランジスタ220、および抵抗250を含む。バイアス発生器210は実質的に一定のバイアス電圧19を導出し、電流源FET18のゲート16に印加される。バイアス発生器210は、また好ましくは電流源FET18と同じダイを共有している多数の他の電流源FETに供給する。このタイプのバイアス発生器は当技術において周知である。電流源FET18は論理ブロック45(図1)に電流を供給する。制御FET20は図1を参照して説明したのと同じである。制御電圧28は駆動回路によって供給され、トランジスタ220および抵抗250から成る。トランジスタ220のゲート226に印加された制御電圧228が十分低ければ、トランジスタ220はオフにされ、 V_{dd} は制御FET20上で制御電圧として現れる。前述したように、制御電圧28が V_{ss} 12より約1.5Vあるいはそれより上である場合、電流源FET18は調節されない。これは非常に都合のよい結果であるが、ある程度、駆動回路が電流操作論理に電力供給するために使用されるのと異なった電力供給によって電力が与えられるからである。この例では、 V_{dd} 260は約1.5Vで、相補型金属酸化膜半導体(CMOS)のような相補型ロジックに電力供給を行うための現代技術ですでに可能な電圧である。相補型駆動回路の例が図3に与えられる。

【0016】図3は、本発明の第2実施例に従う電流源を示す。電流源300は、電流源FET18、制御FET、およびバイアス発生器210を含む。電流源300はまた相補型トランジスタ320、220および相補型ロジック310からなる駆動回路を含む。トランジスタ320は図3ではpチャンネルFETとして示され、トランジスタ220はnチャンネルFETとして示されているが、当

業者であれば本発明を実施するためにどのようなタイプの相補型トランジスタ対に置き換えることができることを理解するであろう。信号328は V_{dd} と V_{ss} との間で切り換えられるので、電流源300はオンおよびオフに切り換えられる。相補型ロジック310は非常に電力効率の良いロジックで実現されるどのようなロジックからであってもよい。

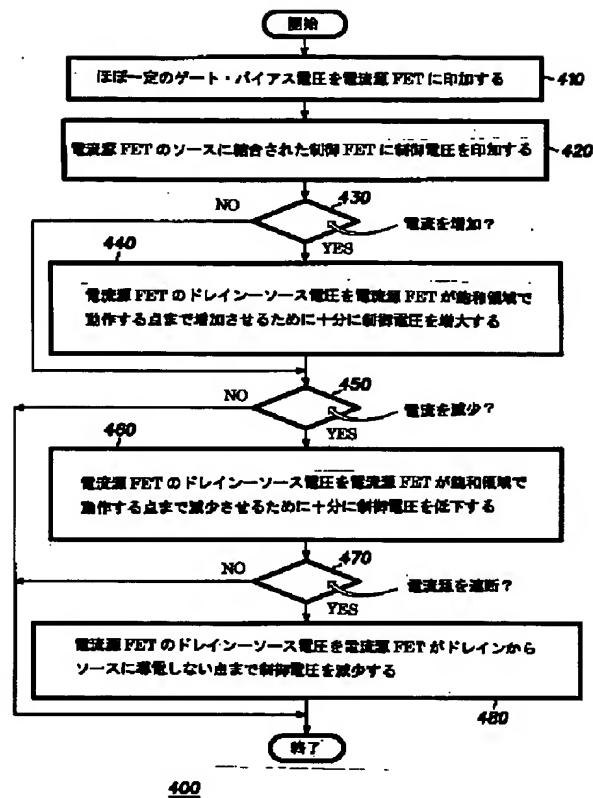
【0017】電流源300は非常に利点があり、なぜならすでに有効な供給電力から電力供給を受ける相補型ロジックは集積回路中で個々に電流源を制御するために使用できるからである。多くの論理ブロックを含む大規模集積回路部は、本発明の方法および装置を利用して電力供給を効果的に下げることが可能である。これは実現するのに効果的かつ簡単である相補型ロジックで達成される。チップ全体へのバイアス発生器は、本発明を実施している間、ほぼ一定を効果的に維持することができる。

【0018】図4は、本発明に係る好適な実施例に従う電流源を制御する方法のフローチャートである。方法400はステップ410から始まり、ほぼ一定のゲート・バイアス電圧が電流源FETに印加される。ほぼ一定のゲート・バイアス電圧は、好ましくはバイアス発生器210(図3)によって供給されるものである。ステップ420で、制御電圧は、電流源FETのソース・ドレインを有する制御FETに印加される。制御FETおよび電流源FETの内部結合は、好ましくは図1乃至図3に示されるようなトータム・ポール形状である。

【0019】ステップ430において、電流を増加させるべきかどうかの決定がなされる。もし電流を増加させるべきであるなら、ステップ440へ進み、そうでないならステップ450へ進む。ステップ440では、制御FETの制御電圧が、電流源FETのドレイン・ソース・バイアス電圧を増加させるために十分に増大し、その結果電流源FETは飽和領域で動作する。ステップ450において、電流を増加させるべきかどうかの決定がなされる。もし電流を減少させるべきであるなら、ステップ460を続ける。もし電流を減少させるべきでないなら、ステップ460は終了する。ステップ460において、制御FETの制御電圧が、電流源FETのドレイン・ソース・バイアス電圧を減少させるために十分に低下し、その結果電流源FETは飽和領域では動作しない。ステップ470において、電流源を遮断させるべきかどうかの決定がなされる。もし電流源が遮断させるべきでないなら、方法400は終了し、そうでないなら方法400はステップ480へ進む。ステップ480で、電流源FETのドレイン・ソース・バイアス電圧は、電流源FETがドレインからソースへ電流を伝導しない点まで低下する。

【0020】要約すると、本発明の方法および装置は、電流源の電流の流れを制御する有効な手段を提供する。本発明の特定の実施例を示しかつ説明したが、さらなる修正および改良が当業者にとって成されるであろう。こ

【図4】



フロントページの続き

(72)発明者 ウィリアム・オー・マティス
アメリカ合衆国アリゾナ州テンピ、イース
ト・バルボア・ドライブ1944

(72)発明者 ラリト・オー・ペーテル
アメリカ合衆国アリゾナ州メサ、サウス・
アルタ・ビスタ・サークル2314

FIG.6

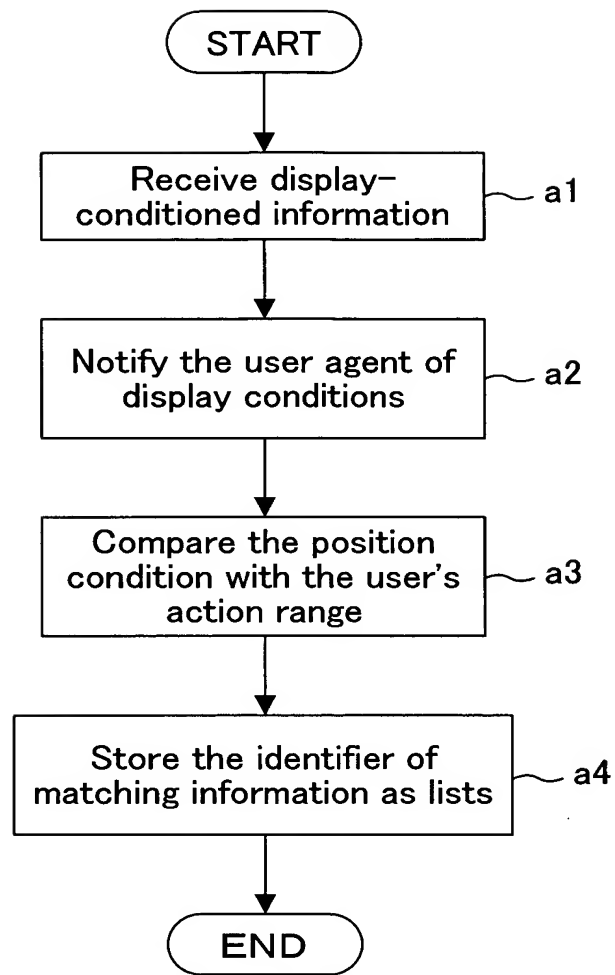


FIG.13

